

基于时间域误差反馈滤波器的二阶 $\Delta\Sigma$ TDC

赵 磊^{1,2}, 张 锋¹

(1 中国科学院 微电子研究所, 北京 100029; 2 中国科学院大学, 北京 100049)

摘 要: 在这篇文章中, 一个二阶 $\Delta\Sigma$ 时间数字转换器被提出以获得高的分辨率和宽的信号带宽. 所提出的时间数字转换器采用了基于时间域运算电路如时间寄存器、时间加法器等构成的时间域误差反馈滤波器的单环结构. 采用 SMIC 28 nm 工艺设计, Spectre 仿真结果表明噪声底约为 $-84 \text{ dBps}^2/\text{Hz}$, 等效到 50 Msps 没有噪声整形的 TDC 的分辨率约为 1.5 ps, 功耗取决于输入时间间隔, 在测量间隔 1 ns 时功耗约为 1.24 mW, 测量范围可达 7.5 ns.

关键词: 时间数字转换器; 误差反馈滤波器; 噪声整形; 时间域

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2018)02-0026-06

A Second-Order $\Delta\Sigma$ TDC Using Time-Domain Error-Feedback Filter

ZHAO Lei^{1,2}, ZHANG Feng¹

(1 Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China;

2 University of Chinese Academy, Beijing 100049, China)

Abstract: In this paper, a second order $\Delta\Sigma$ Time-to-Digital Converter (TDC) is proposed to achieve high resolution and wide signal bandwidth. The proposed TDC is a single-loop architecture based on a time-domain error-feedback filter using time-domain arithmetic circuits such as time registers, time adders and so on. Implemented in SMIC 28 nm CMOS process, spectre simulation results shows the noise floor of the TDC by taking the minimum PSD value of $84 \text{ dBps}^2/\text{Hz}$ which corresponds to a 50Msps classical quantizer without noise shaping and with 1.5 ps steps. The TDC power consumption depends on the time difference between input edges, typically about 1.24 mW for 1ns interval measurement, the measurement range can be up to 7.5 ns.

Key words: time-to-digital converter (TDC); error-feedback filter; noise shaping; time-domain

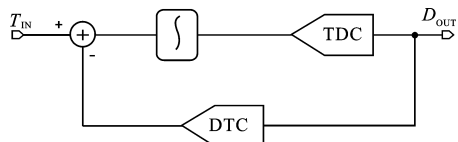
1 引言

随着半导体工艺的进步, 时间数字转换器 (Time-to-Digital Converter, TDC) 本身功耗面积工艺延展性方面的优势使其越来越多的应用于数字友好型模拟和混合信号电路当中, 如时间域 ADC, 全数字锁相环 (ADPLL) 中, 其设计关键在于高分辨率, 良好的线性度, 宽动态范围和大的信号带宽. 目前普遍实现的 TDC 可以大致分为奈奎斯特率 (Nyquist-rate) 型和过采样 (Oversampled) 型, 其中后者通常采用的基于环形振荡器的结构和量化噪声整形的特点使其更容易实现宽的动态范围和较高的

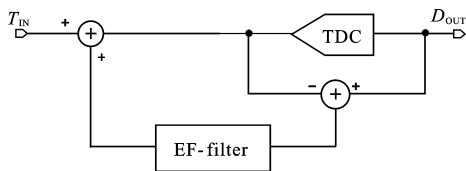
分辨率, 以基于门控环形振荡器 (Gated-ring Oscillator, GRO) 型 TDC^[1] 和基于转换环形振荡器 (Switched-ring Oscillator, SRO) 型 TDC^[2] 为代表, 但这两种结构被限制在一阶量化噪声整形, 因而需要很高的过采样比 (oversampling ratio, OSR) 以获得高分辨率和宽带宽. 所以采用高阶噪声整形的 TDC 更具优势, 已经发表的结构当中主要采用了多级噪声整形 (MASH) 结构 (通常需要高度匹配的模拟模块或者额外的校准电路) 或者时间电压转换器 (Time-to-Voltage Converter) + $\Delta\Sigma$ -ADC (意味着高功耗高复杂度的模拟电路如 DAC, opamp 等) 结构^[3]. 近两年来, 随着时间域信号处理电路如时间放

大器(Time Amplifiers),时间加法器(Time Adder)及时间寄存器(Time Register)等电路结构^[3-5]的涌现,时间域单环结构 $\Delta\Sigma$ -TDC 已经成为一个新的趋势。

典型地,时间域单环 $\Delta\Sigma$ -TDC 可以归纳于基于积分器型和误差反馈型两种结构,如图 1 所示,基于积分器型模仿传统 $\Delta\Sigma$ -ADC,用时间积分器、TDC 和数字时间转换器(DTC)分别代替电压积分器、量化器和 DAC,这种结构的环路稳定性需要仔细考虑,同时 DTC 的非线性会恶化整个结构的性能。



(a) 基于积分器型



(b) 误差反馈型

图 1 时间域单环 $\Delta\Sigma$ -TDC 的两种结构

作为对比,误差反馈型结构从 TDC 中提取量化误差,通过误差反馈滤波器(Error-Feedback filter)后反馈回给输入端,从而实现对量化噪声的高阶整形,一方面这些电路模块很适合用时间域信号处理电路来实现,另一方面该结构具有更好的环路稳定性。

基于上述分析,本文提出了一种新颖的基于时间域误差反馈滤波器的二阶量化噪声整形 TDC。

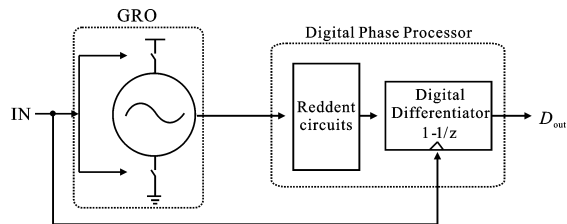
2 系统设计

本文的设计基础是基于门控环形振荡器型(GRO-based) TDC,其简化框图和时序图如图 2 所示,输入高电平时环形振荡器振荡,低电平时状态维持,可重置计数器在一个采样周期 T_s 内通过对输出沿计数得到数字输出码 D_{OUT} ,输入脉冲由于其上升沿的周期性可作为时钟使用。GRO-based TDC 本身具备一阶量化噪声整形特性,前一个采样周期剩余误差(即量化误差 $T_Q[n-1]$)自然地成为了下一个周期的初始时间 $T_{QI}[n]$,容易得出 $T_{QI}[n] = T_{GRO} - T_Q[n-1]$,其中 T_{GRO} 为 GRO 振荡周期。第 n 个周期 TDC 转换关系为

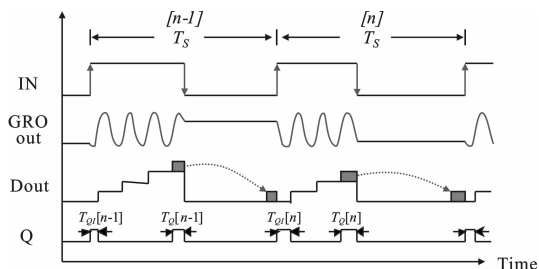
$$T_{IN}[n] = D_{OUT}[n] \cdot T_{GRO} + T_Q[n] - T_Q[n-1] \quad (1)$$

从上式可得出 GRO-TDC 的量化噪声传递函数为

$$H_{NTF,GRO} = Z^{-1} - 1 \quad (2)$$



(a) 结构图



(b) 工作原理

图 2 GRO-based TDC 的结构图和工作原理

利用时间域误差反馈滤波器来实现单环高阶量化噪声整形 TDC 在文献[3]中被首次提出。可根据想要的量化噪声传递函数反推出 EF filter 的传输函数,进而利用时间域信号处理电路方加以实现,随着阶数的提高 EF filter 设计会变得更加复杂,随之引入的更多的时间域电路的非理想效应也会恶化 TDC 的性能。本文采用了结构简单的 EF filter 来实现二阶量化噪声整形,系统传递函数如图 3 所示。

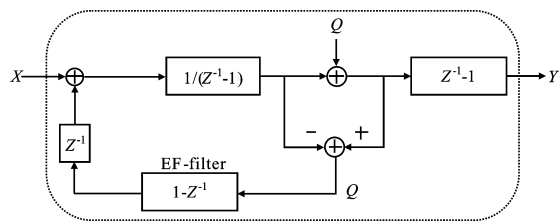


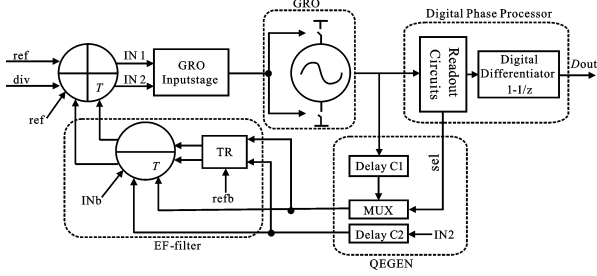
图 3 单环 $\Delta\Sigma$ -TDC 的传递函数

推导可得

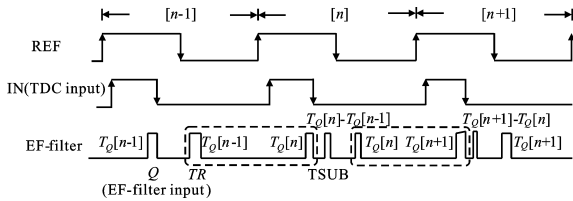
$$Y = X - (Z^{-1} - 1)^2 \cdot Q \quad (3)$$

基于以上分析,本文所提出的二阶 $\Delta\Sigma$ TDC 采用了如图 4(a)所示的结构,主要包括门控环形振荡器(GRO)及其输入信号处理和结果读取电路,量化噪声产生(Quantization Error Generator, QEGen)电路,误差反馈滤波器(EF filter)。在此结构中量化

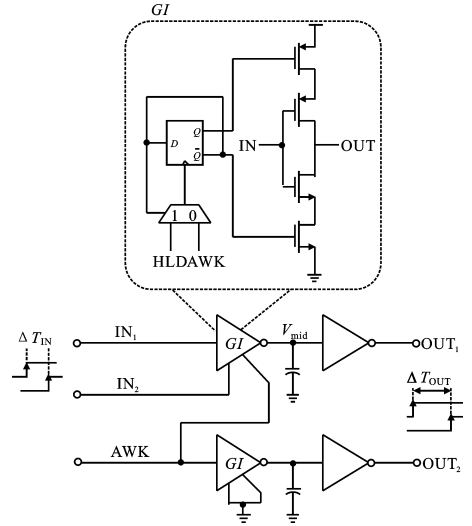
误差从基本结构 GRO-based TDC 中提取后通过时间域误差反馈电路处理后反馈回给输入端以取得高阶噪声整形效果。EF filter 可以方便地通过一个时间寄存器和时间减法器实现。系统整体工作时序如图 4(b)所示。



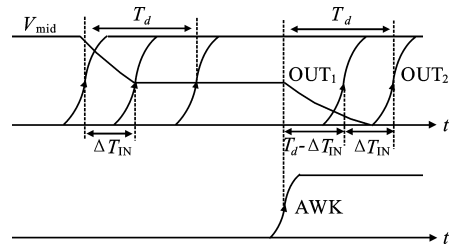
(a)结构框图



(b)时序图

图 4 单环 $\Delta\Sigma$ -TDC 的结构框图及时序图

(a)电路结构



(b)时序图

图 5 时间寄存器

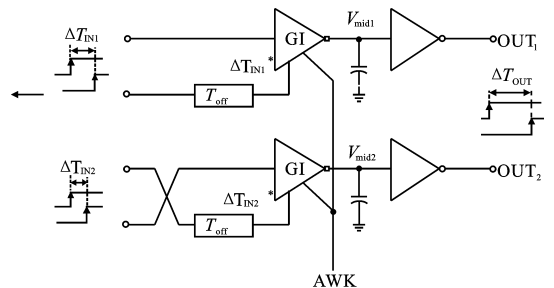
3 电路设计

3.1 时间域信号处理电路

本文所采用的时间域信号处理电路的基础是如图 5 所示的门控延时缓冲 (Gated Delay Buffer, GDB) 单元, 两个反相器通过一个负载电容 C_{mid} 串联, 第一个门控反相器 (Gated Inverter, GI) 增加了两个输入控制信号 HLD 和 AWK. 当 HLD 上升沿到来时反相器被关断直到 AWK 上升沿的到来, 代表输入时间差 ΔT_{IN} 的两个上升沿分别作用于 IN 和 HLD 端, 当第一个上升沿作用于 IN 端时, 中间节点电压 V_{mid} 开始放电直到第二个上升沿作用于 HLD 端, 在 V_{mid} 维持状态时, 一个触发信号作用于 AWK 使电容恢复放电, 最终在输出端产生新的上升沿信号。

在此基础上实现时间寄存器 (Time Register, TR), 电路结构和工作原理如图 5 所示, AWK 和 OUT_1 之间的时间差可以表示为 $T_d - \Delta T_{IN}$, 其中 T_d 为放电时间常数和反相器开关电平固定时间偏移。当触发信号延时 T_d 得到 OUT_2 信号时, OUT_1 和 OUT_2 之间时间差为 $T_d - (T_d - \Delta T_{IN}) = \Delta T_{IN}$, 输入时间差 ΔT_{IN} 被恢复出来从而实现时间寄存的效果。进一步地, 时间加法器 (Time Adder, TA) 的电

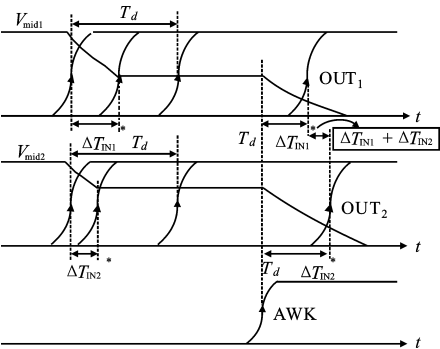
路结构和工作原理如图 6 所示, 两个输入时间间隔都被增加了固定时间偏移 T_{off} 以保证正的时间差 [4], T_{IN1*} 和 T_{IN2*} , 同时第二个操作数两个输入需要交叉连接, 从而输出的时间差为 $T_{OUT} = (T_d - \Delta T_{IN2*}) - (T_d - \Delta T_{IN1*}) = (T_d - (-\Delta T_{IN2} + T_{off})) - (T_d - \Delta T_{IN1} + T_{off}) = \Delta T_{IN1} + \Delta T_{IN2}$ 。由于加法和减法本质上相同, 第二个操作数两个输入和第一个操作数以同样的方式连接时即可实现减法器。



(a)电路结构

3.2 门控环形振荡器

本文采用了 15 级多路 (Multi-path) 环形振荡



(b)时序图

图 6 时间加法器

器结构,Multi-path 结构有利于减少电荷泄露和再分布导致的转移误差(Gating Skew)^[1],一方面保证了较理想的一阶量化噪声整形效果,另一方面使转移误差导致的相位噪声减少(振荡结束时相位的随机性使转移误差在相位域呈现为白噪声底),然而该结构在本文中并未呈现能够提高分辨率的特性,一般来讲读出电路中标准数字逻辑电路限制了最大振荡频率,振荡频率一定时,一个尽量高的分辨率意味着更大的级数,读出电路的复杂度和电路的功耗增加.虽然更多的级数更有利于减小转移误差的影响,但随之而来的电路器件和版图的失配带来的噪声削弱了这一优势^[6],此外较低的分辨率允许使用更大尺寸的晶体管从而减小闪烁噪声,在一定的输入时间间隔内意味着更少次数的翻转进而减小功耗.

延时单元采用了伪差分结构^[7],如图 7 所示,主要是为了等分相位,读出电路中的状态寄存器对于缓冲器,DFF 的转换阈值敏感,同时也对上升下降时间差敏感,当采用差分单元时候,每一相所对应的时间域由延时单元的过零点决定,等分相位的目的将会在下面的误差提取电路中体现.单元输出节点增加的负载电容有利于振荡器在 hold 状态时节点电荷的保持.仿真表明 GRO 振荡频率为 1.19 GHz,相位噪声为 -101dBc@1MHz,可以推算出 TDC 的 Raw Resolution 约为 28 ps.

3.3 误差提取电路

准确地提取量化误差是实现二阶噪声整形的关键,类似于文献[7]中所采用的结构,实现原理如图 8 所示,量化误差是 stop 信号之前最靠近 stop 信号的翻转沿和 stop 信号之间的时间差,通过沿检测逻辑(Edge-Detection Logic, EDL)和沿选择多路选择器(Edge Selection MUX, ESM)来提取,EDL 利用简单的异或门来检测状态序列中"00"和"11"位置,

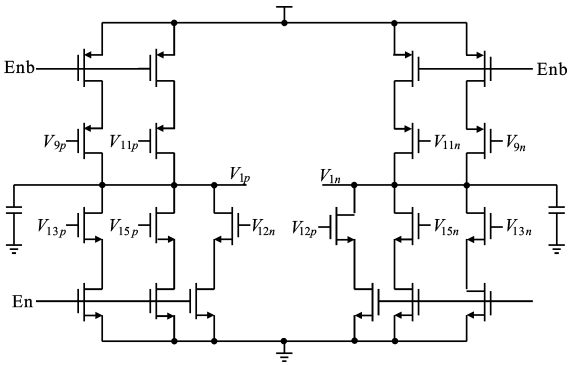


图 7 伪差分延时单元结构

然后通过多路选择器从 GRO 多相输出中选出目标翻转沿,由于 EDL 本身存在延时,所以固定延时 C_1 和 C_2 被分别添加到 GRO 多相输出和 stop 信号端, C_1 必须大于 EDL 的延时以保证正确的翻转沿选择, C_2 的选择应该大于 C_1 和误差信号 $e_1(t)$ 之差,新的误差信号增加了固定的时间偏移 $C_2 - C_1$,这个偏移自动被具备传递函数 $1 - Z^{-1}$ 的 EF filter 消除.

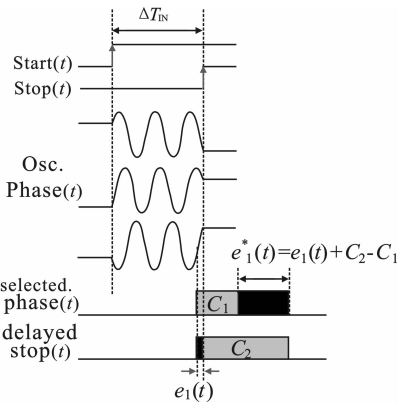


图 8 误差提取电路工作原理

ESM 的电路结构如图 9 所示,包含了一系列 nMOS 下拉管连接至一个共同的 pMOS 上拉管,组成了有比逻辑,增加的选择管屏蔽了非目标输入信号从输入到输出节点的时钟馈通效应,由于 select 信号先于目标输入信号到来,因而在输出点和输入 nMOS 管漏端的电荷共享效应能够产生时间误差,因此通过加入小尺寸的 pMOS 管充电至 Vdd 以消除此影响.实际电路采用了两个 15:1MUX 和一个 2:1MUX,如图 10 所示,两个 15:1MUX 状态序列中"00"和"11"位置选择 VCO 某一对"差分"转换沿,进一步地 2:1MUX 根据状态究竟是"0"还是"1"选择其中的上升沿输出.

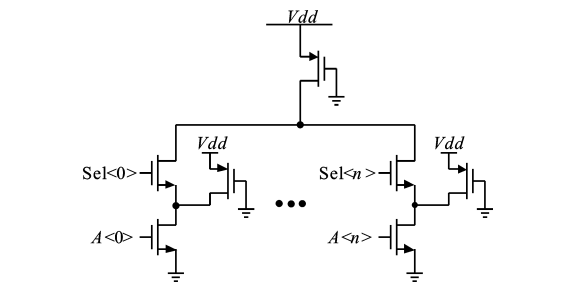


图 9 沿选择多路选择器电路结构

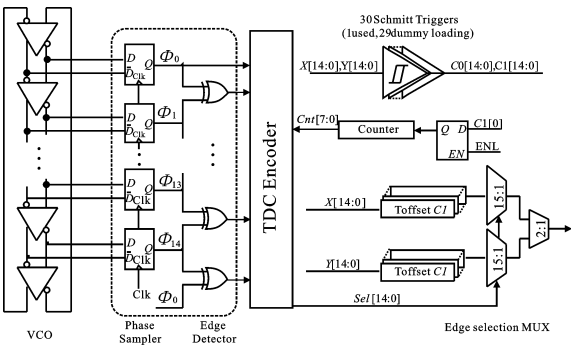


图 10 读取电路结构

3.4 读取电路

GRO-TDC 的读取电路框图如图 10 所示,灵敏放大器型触发器用于采样 GRO 的相位,异或门通过比较相邻采样相位来检测状态序列中“00”和“11”位置,得到的温度计编码值可以用来作为误差提取过程 ESM 的选择信号,再加上某一个相位采样值及其计数值(如图 10 中的 φ_0 和 $Cnt[7:0]$)可以得到 GRO-TDC 的量化结果^[2]。施密特触发器有效避免的重复计数的错误^[6],同时相对于文献[1]中的 de-glitch 电路工作速度更快,其输出结果通过锁存器后给到一个八位的计数器,锁存器使能时间应长于 GRO 使得要计数的翻转沿能够及时抵达计数器。对于计数和相位检测可能出现的非一致性^[1]已在数字逻辑中加入了校正。

4 仿真结果

50 MHz 相位调制信号被用来评估所提出的 TDC 的动态特性,输入为 1.4 ns 固定时间偏移加上由 300 kHz 正弦波调制得到的峰峰值 30 ps 的时变小信号时间差,这个时间差在仿真中由电压-时间转换电路 (Voltage-to-Time Converter, VTC) 得到。图 11 呈现了二阶 $\Delta\Sigma$ -TDC 输出经过带宽为 1MHz 的数字滤波器之后的时间域波形。图 12 呈现了利用 CppSim 工具建立理想模型仿真得到的一阶二阶量化噪声整形后的输出功率谱密度

(Power Spectral Density, PSD),模型中已经加入 GRO 的相位噪声 ($-100\text{ dBc}@1\text{MHz offset}$),容易看出在 1 M 带宽内,二阶整形明显具有更高的信噪比。图 13 呈现了 Virtuoso AMS 环境下仿真的结果在 Matlab 中进行处理所得到的 PSD(32768 点 FFT,加 hanning 窗),为了提高仿真效率,读取模块中的译码电路用 verilog 代码代替,其余部分均为晶体管级电路。

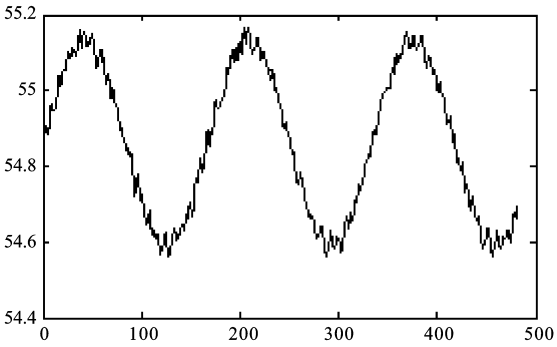


图 11 数字滤波后的时间域波形

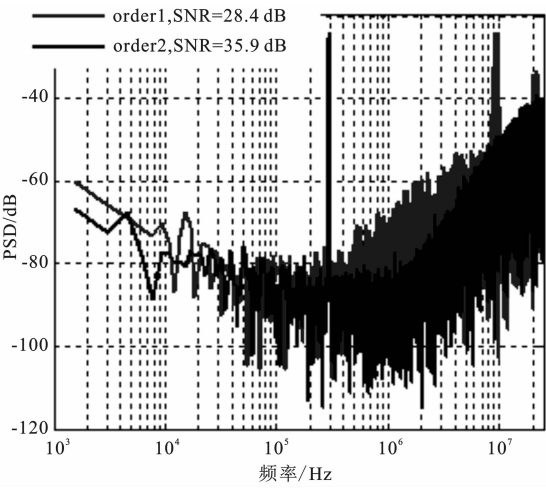


图 12 理想模型仿真输出 PSD

结果表明本文所提出的 $\Delta\Sigma$ GRO-TDC 基本实现了二阶量化噪声整形效果,噪声底 (noise floor) 约为 $-84\text{ dBps}^2/\text{Hz}$,等效到 50 Msps 没有噪声整形的 TDC 的分辨率约为 1.5 ps,相对于理想模型的结果有所增加,主要可能来源于 GRO 的转移误差 (Gating Skew) 和时间加法器的误差,因为这两种误差没有被整形。理想的低频 PSD 应该仅由 VCO 的 $1/f$ 闪烁噪声和热噪声决定。电路整体功耗取决于输入时间间隔,进一步仿真表明在测量间隔 1 ns 时功耗约为 1.24 mW。

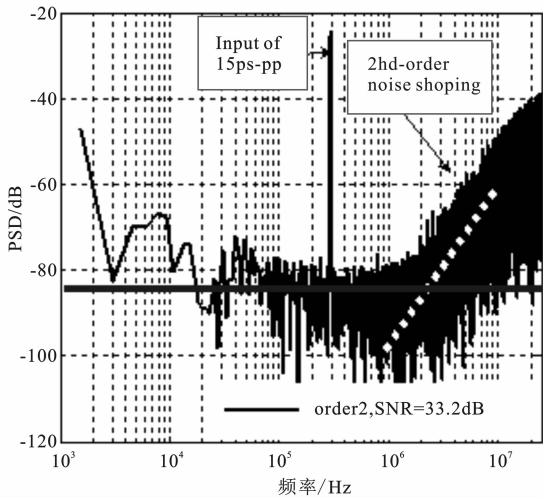


图 13 晶体管级电路仿真输出 PSD

5 结束语

本文提出了一种具备二阶量化噪声整形功能的 $\Delta\Sigma$ GRO-TDC,兼具高分辨率和宽带宽特点,其实现的关键在于时间域的误差反馈滤波器和误差提取电路.这种结构的先进性体现在两个方面,首先单环结构来实现高阶噪声整形避免了 MASH 结构中不可避免的多个 GROs 之间的失配问题,其次是时间域电路的运用,这一点符合深亚微米 CMOS 工艺下用时间精度换取信号幅度的趋势,明显地这些电路高度数字化,主要由逻辑门电路构成,将极大程度地受益于数字电路可迁移性强等特点.

参考文献:

[1] Straayer M Z, Perrott M H. A multi-path gated ring oscillator TDC with first-order noise shaping[J]. IEEE J. Solid-State Circuits, 2008,44(4): 1089-1098.

[2] Elshazly A, Rao S, Young B, et al. A noise-shaping-time-to-digital converter using switched-ringoscillators-Analysis, design, and measurement techniques [J]. IEEE J. Solid-State Circuits, 2014,49(5): 1184-1197.

[3] Yu W, Kim K S, Cho S H. A 0.22 psrms integrated noise 15 MHz bandwidth fourth-order $\Delta\Sigma$ time-to-digital converter using time-domain error-feedback filter [J]. IEEE J. Solid-State Circuits, 2015, 50 (5): 1251-1262.

[4] Hong J P, Kim S J, Liu J, et al. A 0.004 mm² 250 uW $\Delta\Sigma$ TDC with time-differenceaccumulator and a 0.012 mm² 2.5 mW bang-bang digital PLL usingPRNG for low-power SoC applications[P]. IEEE ISSCC Dig. Tech. Papers, 2012:240-242.

[5] Kim K S, Yu W, Cho S H. A 9 bit, 1.12 ps resolution 2.5 b/stagepipelined time-to-digital converter in 65 nm CMOS using time-register[J]. IEEE J. Solid-State Circuits, 2014,49(4): 1007-1016.

[6] Yao C W, Jr ANW. A 2.8-3.2GHz fractional-Ndigital PLL with ADC-assisted TDC and inductively coupled fine-tuning DCO [J]. IEEE J. Solid-State Circuits, 2013,48(3): 698-710.

[7] Ng AWL, Zheng S Y, Luong H C. A 4.1GHz-6.5 GHz all-digital frequency synthesizer with a 2nd-order-noise-shaping tdc and a transformer-coupled QVCO [J]. ESSCIRC, 2012,45(3):189-192.

作者简介:

赵磊 男,(1992-),硕士研究生.研究方向为时间数字转换器设计. E-mail:zhaolei@ime.ac.cn.

张锋 男,(1977-),副研究员,硕士生导师.研究方向为低功耗、低抖动时钟合成电路、低功耗高速接口、存储电路设计.